

ONE-CHIP MICROCOMPUTER

Patent Number: JP8147259
Publication date: 1996-06-07
Inventor(s): KOYAMA HIROSHI; OSAWA HIROSHI
Applicant(s): SANYO ELECTRIC CO LTD
Requested Patent: ☐ JP8147259
Application Number: JP19940290026 19941124
Priority Number(s):
IPC Classification: G06F15/78; G11C16/06
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide the one-chip microcomputer which incorporates a non- volatile memory enabling the write/read of data as a data memory and can perform the self-read/write of data in the non-volatile memory according to program data in an internal ROM.

CONSTITUTION: This one-chip microcomputer is provided to incorporate an EEPROM 1 enabling the read/write of data as a RAM and to perform so-called self-read/write for executing the read/write of data to the EEPROM 1 according to the program data stored in a mask ROM 2. Thus, since the time required for reading/writing data to the EEPROM 1 can be shortened and further the written contents in the EEPROM 1 are held even when a power source is turned off, this device can be applied to the case that it is necessary to intensively turn on/off the power source during the operation of the one-chip microcomputer and when the power source is turned on again, the operation of the one-chip microcomputer can be continued from the data stored contents in the EEPROM 1 just before the power source is turned off.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(11)特許出願公開番号

特開平8-147259

(43)公開日 平成8年(1996)6月7日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G O 6 F 15/78

510 A

G 1 1 C 16/06

G 1 1 C 17/ 00

309 7

審査請求 未請求 請求項の数4 OL (全 5 頁)

(21) 出願番号

特願平6-290026

(22) 出願日

平成6年(1994)11月24日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 尧明者 小山 博

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 大澤 博

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

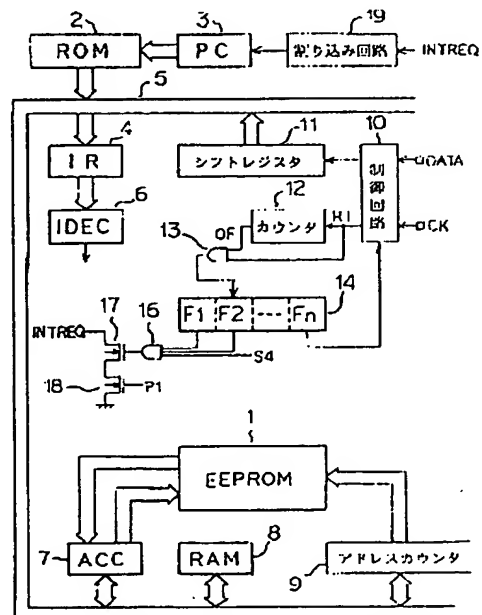
(74)代理人 弁理士 岡田 敬

(54) 【発明の名称】 1チップマイクロコンピュータ

(57) 【要約】

【目的】 データの書き込み読み出しが可能な不揮発性メモリをデータメモリとして内蔵し、且つ、不揮発性メモリのデータを内部ROMのプログラムデータに従って自己読み書きできる1チップマイクロコンピュータを提供する。

【構成】 データの読み書きが可能なEEPROM1をRAMとして内蔵し、EEPROM1へのデータの読み書きをマスクROM2に記憶されたプログラムデータに従って実行できる所謂自己読み書き可能な1チップマイクロコンピュータを実現した。これにより、EEPROM1に対するデータの読み書きに要する時間を短縮でき、更に、EEPROM1の書き込み内容が電源が落ちても保持される為、1チップマイクロコンピュータの動作中に電源を故意に入切する必要性のある場合に適用でき、電源を再投入した場合、電源を落とす直前のEEPROM1のデータ記憶内容から1チップマイクロコンピュータの動作を継続できる。



【特許請求の範囲】

【請求項1】 演算データの書き込み読み出しが可能な第1の不揮発性メモリと、

前記第1の不揮発性メモリの演算データの書き込み及び読み出し動作を制御する為のプログラムデータが少なくとも記憶された再書き込み不可能な読み出し専用の第2の不揮発性メモリと、

前記第2の不揮発性メモリから読み出されたプログラムデータを基に前記第1の不揮発性メモリの書き込み及び読み出し動作を制御する制御回路と、を内蔵したことを特徴とする1チップマイクロコンピュータ。

【請求項2】 前記第2の不揮発性メモリは、前記第1の不揮発性メモリの書き込み動作を指示する割り込み信号が発生した時、該割り込み信号により前記第1の不揮発性メモリの書き込み動作を実行させるプログラムデータが記憶されたアドレスにジャンプすることを特徴とする請求項1記載の1チップマイクロコンピュータ。

【請求項3】 外部から印加される前記第1の不揮発性メモリに書き込むべきデータが所定ビット数に達したことを検出して前記割り込み信号を発生する割り込み制御回路を備えたことを特徴とする請求項2記載の1チップマイクロコンピュータ。

【請求項4】 前記第1の不揮発性メモリをランダムアクセスメモリとして使用することを特徴とする請求項1記載の1チップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、演算データの書き込み読み出しを行うランダムアクセスメモリとしてEEPROM等の不揮発性メモリを内蔵した1チップマイクロコンピュータに関する。

【0002】

【従来の技術】 一般に、電気的にデータの消去が可能な不揮発性メモリであるEEPROMを内蔵したマイクロコンピュータにおいて、前記EEPROMにデータの書き込みを行う手法としては、前記EEPROM内蔵マイクロコンピュータを前記EEPROMにデータの書き込みを行う為の専用書き込み基板上に配置すると共に、該専用書き込み基板をEEPROMライタと接続した状態で、前記EEPROMライタから前記EEPROMの為のアドレスデータ及び該アドレスデータでアクセスされた番地に書き込むべき所定データを出力し、これらのアドレスデータ及び書き込みデータを前記EEPROM内蔵マイクロコンピュータに外部印加することにより、前記EEPROMへの所定データの書き込みを実現している。そして、現在、前記EEPROMをRAM（ランダムアクセスメモリ）として機能させるものはない。現在の1チップマイクロコンピュータの主流は、演算データの書き込み及び読み出しを行うメモリとしてスタティックRAMを内蔵したものである。

【0003】

【発明が解決しようとする課題】 しかしながら、前記EEPROMに所定データの書き込みを行う為に、特別に上記した専用の書き込み基板及びEEPROMライタを用意しなければならない為、前記EEPROMをプログラムメモリ又はデータメモリの何れで使用する場合でも、データ書き込みに多くの時間を要する問題があった。

【0004】 また、スタティックRAM内蔵の1チップマイクロコンピュータでは、該1チップマイクロコンピュータ自体の電源が落ちてしまうと、前記スタティックRAMに書き込まれていた演算データ等が全て消えてリセットされてしまう為、電源が再び立ち上がっても電源が落ちる以前の前記スタティックRAMのデータ記憶状態から引き続き動作を実行することができず、この場合、イニシャルプログラムを実行して前記スタティックRAMに初期状態のデータを再び書き込み電源が落ちるまでの演算を再度実行しなければならず、時間を無駄に消費してしまう問題があった。

【0005】 そこで、本発明は、データの書き込み読み出しが可能な不揮発性メモリをデータメモリとして内蔵し、且つ、前記不揮発性メモリのデータの書き換えを内部ROMのプログラムデータに従って自己書き換えできる1チップマイクロコンピュータを提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、演算データの書き込み読み出しが可能な第1の不揮発性メモリと、前記第1の不揮発性メモリの演算データの書き込み及び読み出し動作を制御する為のプログラムデータが少なくとも記憶された再書き込み不可能な読み出し専用の第2の不揮発性メモリと前記第2の不揮発性メモリから読み出されたプログラムデータを基に前記第1の不揮発性メモリの書き込み及び読み出し動作を制御する制御回路と、を内蔵した点である。

【0007】

【作用】 本発明によれば、データの書き込み読み出しが可能な第1の不揮発性メモリをRAM機能として内蔵し、第1の不揮発性メモリへのデータの書き込み、読み出し、書き換えを第2の不揮発性メモリに記憶されたプログラムデータに従って実行できる所謂自己読み書き可能な1チップマイクロコンピュータを実現した。これにより、第1の不揮発性メモリに対するデータの読み書きに要する時間を短縮でき、更に、第1の不揮発性メモリへの書き込み内容が電源が落ちてでも保持される為、1チップマイクロコンピュータの動作中に電源を故意に入力する必要のある場合に適用でき、電源を再投入した場合、電源を落とす直前の第1の不揮発性メモリのデータ記憶内容から1チップマイクロコンピュータの動作を

座に継続できる。

【0008】

【実施例】本発明の詳細を図面に従って具体的に説明する。図1は本発明の1チップマイクロコンピュータを示す図であり、第1の不揮発性メモリとしてEEPROMを内蔵しているものとする。図1において、(1)はEEPROM(第1の不揮発性メモリ)であり、データの書き込み読み出しが繰り返し可能であり、データを電気的に消去するものである。(2)はマスクROM(第2の不揮発性メモリ)であり、1チップマイクロコンピュータの動作を制御するプログラムデータが記憶された再書き込みが不可能な読み出し専用のメモリである。特に、マスクROM(2)の特定アドレスには、EEPROM(1)のデータ書き込み読み出し動作を制御するプログラムデータがサブルーチン命令として記憶されている。(3)はプログラムカウンタPCであり、マスクROM(2)のアドレスをアクセスする為のアドレスデータを出力するものである。(4)はインストラクションレジスタIRであり、マスクROM(2)から読み出されたプログラムデータがデータバス(5)を介して保持されるものである。(6)はインストラクションデコーダIDECであり、インストラクションレジスタ(4)に保持されたプログラムデータを解釈し、1チップマイクロコンピュータを動作させる為の制御信号を発生するものである。(7)はアキュムレータACCであり、1チップマイクロコンピュータ内部における演算データ等を蓄えるものである。(8)はRAM(例えば1ワードが8ビット且つ128バイトで構成されている)であり、データバス(5)を介してアキュムレータ(7)と接続され、双方の間でデータの授受を行うものである。(9)はアドレスカウンタであり、EEPROM(1)のアドレスをアクセスするものである。

【0009】(10)は制御回路であり、EEPROM(1)に書き込むべきデータDATA及びクロックCKがシリアルに印加される。ここで、EEPROM(1)の各アドレスのビット数を例えば8ビットとすると、制御回路(10)からは、クロックCKの立ち下がりに同期して8ビットデータDATA(最上位ビットD0～最下位ビットD7)がシリアルに出力される。(11)は8ビット構成のシフトレジスタであり、制御回路(10)から出力された8ビットデータDATAがシリアル入力されて保持されるものである。また、制御回路(10)からは、クロックCKの立ち上がりに同期したパルスR1が出力される。(12)はカウンタであり、パルスR1を計数し、7個目のパルスR1の立ち上がりから8個目のパルスR1の立ち上がりまでの期間だけハイレベルとなるオーバーフロー信号OFを発生する様に内部論理が構成されている。従って、カウンタ(12)の入出力線がその2入力に接続されたANDゲート(13)からは、8個目のパルスR1のみがセット信号SETと

して出力される。つまり、8ビットを1単位とするシリアルデータDATAの8ビット目のD7がシフトレジスタに保持された時点でセット信号SETが発生する様になっている。上記の動作は図2に示す通りである。また、(14)は制御レジスタであり、フラグF1、F2、・・・Fnから成る。例えばフラグF1には、後述する割り込み要求信号INTREQを発生させる時に「1」、割り込み要求信号INTREQの発生を禁止する時に「0」がマスクROM(2)からのプログラム命令により保持される。またフラグF2は、セット信号SETが印加されることにより「1」に保持される。尚、フラグF2は、割り込み要求信号INTREQに基づきマスクROM(2)から読み出されるサブルーチンプログラムの実行中にセット状態からリセットされ「0」が書き込まれる。つまり、割り込み要求信号INTREQを発生させる時のみフラグF2が「1」になっているべく、その他の時間ではフラグF2は「0」でよいのである。更に、フラグFnには制御回路(10)を動作状態とする時に「1」、制御回路(10)の動作を禁止する時に「0」がマスクROM(2)からのプログラム命令により保持される。(16)はANDゲートであり、その3入力には制御レジスタ(14)のフラグF1及びF2の内容と後述するシステムクロックS4が印加される。ここで、1チップマイクロコンピュータは、図3に示す如く、クロックP1を基に作成されるS1～S6の6周期クロックを1マシンサイクルとして動作しており、その中のシステムクロックS4のみがANDゲート(16)の1入力として印加される。つまりフラグF1及びF2が共に「1」の状態即ち割り込み要求信号INTREQの発生が許可されると共にセット信号SETが「1」となっている時にシステムクロックS4が立ち上がると、ANDゲート(16)からは「1」が出力される。(17)(18)はドレインソース路が直列接続されたNチャンネル型MOSトランジスタ(以下NMOSトランジスタと称する)であり、NMOSトランジスタ(17)はオープンドレイン型とされ、NMOSトランジスタ(18)のソースは接地され且つゲートには前記クロックP1が印加される様になっている。従って、図3に示す如く、フラグF1及びF2、システムクロックS4、及びクロックP1が全て「1」となった時にNMOSトランジスタ(17)(18)がオンし、割り込み要求信号INTREQが「0」となる。本実施例では割り込み要求信号INTREQ＝「0」が割り込み要求の発生を意味する。(19)は割り込み回路であり、

「0」となった割り込み要求信号INTREQが印加されることにより、割り込み要求の発生を検出し、プログラムカウンタ(3)に対して、EEPROM(1)へのシフトレジスタ(11)の内容の書き込みを行わせるプログラムが記憶されているマスクROM(2)のアドレスデータをセットさせるものである。即ち、この時、フ

(4)

ログラムカウンタ(3)の内容が順次インクリメントされていた状態から前記アドレスデータに変化し、これにより、マスクROM(2)のアドレスは割り込み要求信号INTREQの発生により割り込み処理のためのサブルーチンにジャンプすることになる。従って、EEPROM(1)への書き込み動作を制御するプログラムデータがマスクROM(2)から読み出され、このプログラムデータがインストラクションデコーダ(6)で解読されてその旨の制御信号が発生すると、シフトレジスタ

(11)に保持されている8ビットデータがデータバス(5)を介してアキュムレータ(7)に蓄えられた後、RAM(8)に書き込まれる。この動作を繰り返し、RAM(8)に例えば128バイト分(1ページ分)の8ビットデータが書き込まれると、マスクROM(2)のその後のプログラム命令によりEEPROM(1)の1ページ分の所定アドレスがアドレスカウンタ(9)により順次アクセスされ、RAM(8)に記憶されている8ビットデータがアキュムレータ(7)を介してEEPROM(1)の指定アドレスに順次書き込まれていくことになる。例えばEEPROM(1)の記憶容量を1Kバイトとする。

【0010】上記したEEPROM(1)へのデータの書き込み動作が終了した後、マスクROM(2)がメインルーチンプログラムに復帰し、マスクROM(2)のプログラム命令によりEEPROM(1)のデータの読み出しが指示されると、EEPROM(1)はアドレスカウンタ(9)により所定アドレスをアクセスされ、アクセスされたアドレスから読み出されたデータがアキュムレータ(7)に一旦蓄えられた後データバス(5)を介してRAM(8)に書き込まれ、RAM(8)の書き込み内容を確認できる。

【0011】尚、本実施例においては、1チップマイクロコンピュータ外部から初期データとしてシリアルデータDATAを取り込みこのデータDATAをEEPROM(1)に書き込み読み出す動作について説明したが、これに限定されることなく、1チップマイクロコンピュータの通常動作中に得られる演算データ等を書き込んだり読み出したりするデータメモリとして、従来のスタティックRAMに代わってEEPROM(1)を使用することも勿論可能である。

【0012】以上より、データの書き込み読み出しが可

能なEEPROM(1)をRAM機能として内蔵し、EEPROM(1)へのデータの書き込み、読み出し、書き換えをマスクROM(2)に記憶されたプログラムデータに従って実行できる所謂自己読み書き可能な1チップマイクロコンピュータを実現した。これにより、EEPROM(1)に対するデータの読み書きに要する時間を短縮でき、更に、EEPROM(1)の書き込み内容が電源が落ちてでも保持される為、1チップマイクロコンピュータの動作中に電源を故意に入切する必要性のある場合に適用でき、電源を再投入した場合、電源を落とす直前のEEPROM(1)のデータ記憶内容から1チップマイクロコンピュータの動作を即座に継続できる。

【0013】

【発明の効果】本発明によれば、データの書き込み読み出しが可能な第1の不揮発性メモリをRAM機能として内蔵し、第1の不揮発性メモリへのデータの書き込み、読み出し/書き換えを第2の不揮発性メモリに記憶されたプログラムデータに従って実行できる所謂自己読み書き可能な1チップマイクロコンピュータを実現した。これにより、第1の不揮発性メモリに対するデータの読み書きに要する時間を短縮でき、更に、第1の不揮発性メモリの書き込み内容が電源が落ちてでも保持される為、1チップマイクロコンピュータの動作中に電源を故意に入切する必要性のある場合に適用でき、電源を再投入した場合、電源を落とす直前の第1の不揮発性メモリのデータ記憶内容から1チップマイクロコンピュータの動作を即座に継続できる利点が得られる。

【図面の簡単な説明】

【図1】本発明の1チップマイクロコンピュータを示す図である。

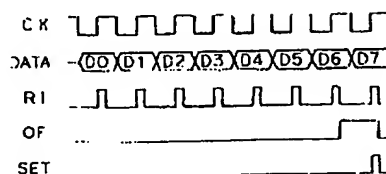
【図2】図1の要部波形を示すタイムチャートである。

【図3】図1の要部波形を示すタイムチャートである。

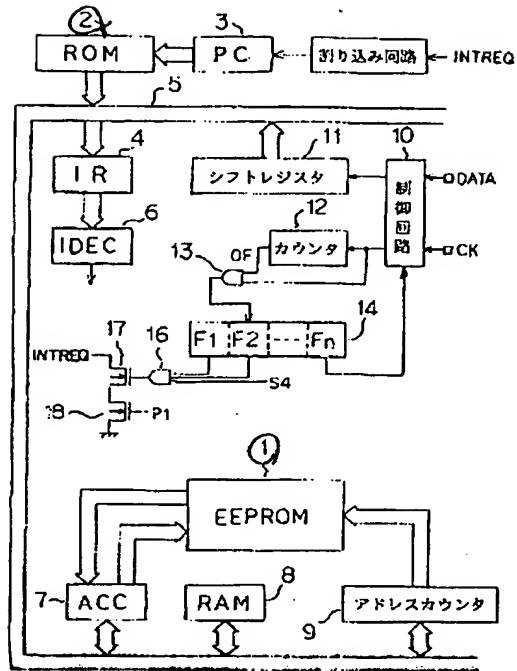
【符号の説明】

- (1) EEPROM
- (2) マスクROM
- (10) 制御回路
- (11) シフトレジスタ
- (12) カウンタ
- (14) 制御レジスタ
- (19) 割り込み回路

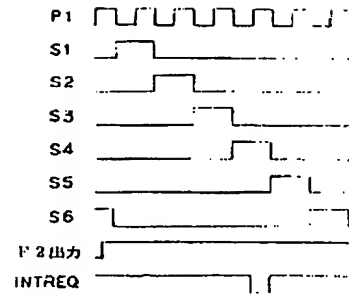
【図2】



【図1】



【図3】



【手続補正書】

【提出日】平成7年9月25日

【手続補正1】

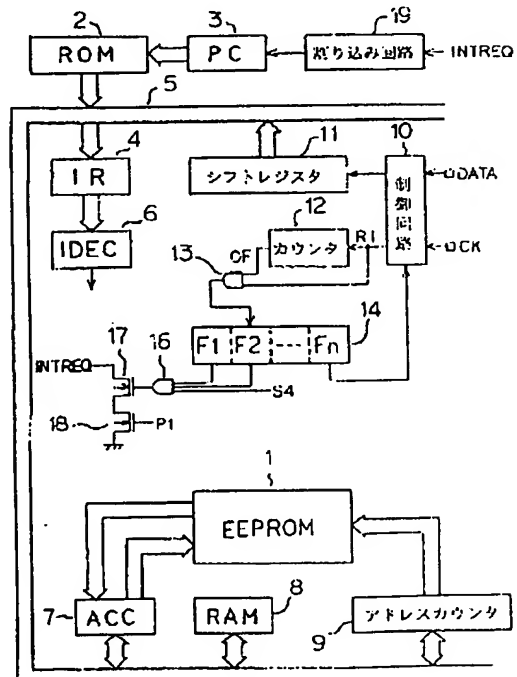
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.